

(51) 国際特許分類6 H01L 21/60	A1	(11) 国際公開番号 WO99/35682 (43) 国際公開日 1999年7月15日(15.07.99)
(21) 国際出願番号 PCT/JP99/00017 (22) 国際出願日 1999年1月7日(07.01.99) (30) 優先権データ 特願平10/13443 1998年1月7日(07.01.98) JP (71) 出願人 セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者 橋元伸晃(HASHIMOTO, Nobuaki) 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 弁理士 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)		(81) 指定国 JP, KR, SG. 添付公開書類 国際調査報告書
(54)Title: SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, AND ELECTRONIC DEVICE (54)発明の名称 半導体装置及びその製造方法並びに電子機器 <div data-bbox="396 1291 1289 1730" data-label="Image"> </div> (57) Abstract A method of manufacturing a semiconductor device comprising the steps of mounting a plurality of semiconductor chips (16) on film carrier tape (30); molding individual semiconductor chips (16) on the film carrier tape (30) with epoxy resin (26); attaching pieces of stiffener (28) to the film carrier tape (30) against the corresponding semiconductor chips (16); forming a plurality of bumps (14) on the film carrier tape (30) for each of the semiconductor chips (16); and punching the film carrier tape (30) into pieces of insulating film (12). The process including all the steps is carried out between supply and take-up reels for the film carrier tape (30).		

フィルムキャリアテープ(30)に複数の半導体素子(16)を実装する工程と、フィルムキャリアテープ(30)に実装された各半導体素子(16)をエポキシ樹脂(26)で封止する工程と、各半導体素子(16)に対応して、フィルムキャリアテープ(30)に個片のスティフナ(28)を貼り付ける工程と、各半導体素子(16)に対応して、フィルムキャリアテープ(30)に複数のバンブ(14)を形成する工程と、これらの工程の後に、フィルムキャリアテープ(30)を個片の絶縁フィルム(12)に打ち抜く工程と、を含み、各工程は、フィルムキャリアテープ(30)を送り出すリールと巻き取るリールとの間で行われる半導体装置の製造方法。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	ES スペイン	LI リヒテンシュタイン	SG シンガポール
AL アルバニア	FI フィンランド	LK スリ・ランカ	SI スロヴェニア
AM アルメニア	FR フランス	LR リベリア	SK スロヴァキア
AT オーストラリア	GA ガボン	LS レント	SL シエラ・レオネ
AU オーストラリア	GB 英国	LT リトアニア	SN セネガル
AZ アゼルバイジャン	GD グレナダ	LU ルクセンブルグ	SZ スワジランド
BA ボスニア・ヘルツェゴビナ	GE グルジア	LV ラトヴィア	TD チャード
BB バルバドス	GH ガーナ	MC モナコ	TG トーゴ
BE ベルギー	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BF ブルキナ・ファソ	GN ギニア	MG マダガスカル	TM トルクメニスタン
BG ブルガリア	GW ギニア・ビサウ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BJ ベナン	GR キリシャ	共和国	TT トリニダード・トバゴ
BR ブラジル	HR クロアチア	マリ	UA ウクライナ
BY ベラルーシ	HU ハンガリー	ML モンゴル	UG ウガンダ
CA カナダ	ID インドネシア	MR モーリタニア	US 米国
CF 中央アフリカ	IE アイルランド	MW マラウイ	UZ ウズベキスタン
CG コンゴ	IL イスラエル	MX メキシコ	VN ヴェトナム
CH スイス	IN インド	NE ニジェール	YU ユーゴスラビア
CI コートジボアール	IS アイスランド	NL オランダ	ZA 南アフリカ共和国
CM カメルーン	IT イタリア	NO ノールウニ	ZW ジンバブエ
CN 中国	JP 日本	NZ ニュー・ジーランド	
CU キューバ	KE ケニア	PL ポーランド	
CY キプロス	KG キルギスタン	PT ポルトガル	
CZ チェッコ	KP 北朝鮮	RO ルーマニア	
DE ドイツ	KR 韓国	RU ロシア	
DK デンマーク	KZ カザフスタン	SD スーダン	
EE エストニア	LC セントルシア	SE スウェーデン	

明細書

半導体装置及びその製造方法並びに電子機器

技術分野

本発明は、半導体装置及びその製造方法並びに電子機器に関する。

背景技術

半導体装置の小型化を追求するとベアチップ実装が理想的であるが、品質の保証及び取り扱いが難しいため、パッケージ形態に加工することで対応してきた。特に多端子化の要求に応じたパッケージ形態として、近年、BGA(Ball Grid Array)型パッケージが開発されてきた。BGA型パッケージは、基板に外部端子である bumps をエリアアレイ状に配置し、面実装できるようにしたものである。

BGA型パッケージの一つとして、TAB(Tape Automated Bonding)技術が適用されて、フィルムキャリアテープがベースになる T-BGA(Tape Ball Grid Array)型パッケージがある。これによれば、TAB技術の特徴を活かして、半導体チップの実装を連続的に行うことができる。

ただし、フィルムキャリアテープは、剛性がなく反りやすいことから、補強板(スティフナ)の貼り付けが必要であった。スティフナを貼り付ける工程は、フィルムキャリアテープに半導体チップを実装して、これを個片のフィルム実装体に打ち抜いてから行われていた。詳しくは、フィルムキャリアテープを個片のフィルム実装体に打ち抜いてからスティフナを貼り付けていた。

この工程によれば、スティフナを貼り付けた後に行われる bumps 形成等の工程では、バラバラになったフィルム実装体を取り扱わなければならないので、工程が煩雑になっていた。

本発明は、この問題点を解決するものであり、その目的は、取り扱いが容易になる T-BGA型パッケージの製造方法及びその方法により製造される半導体装置並びに電子機器を提供することにある。

発明の開示

(1) 本発明に係る半導体装置の製造方法は、フィルムキャリアテープに複数の半導体素子を実装する工程と、

前記フィルムキャリアテープに実装された各半導体素子を樹脂で封止する工程と、

各半導体素子に対応して、前記フィルムキャリアテープに個片の補強部材を貼り付ける工程と、

各半導体素子に対応して、前記フィルムキャリアテープに複数の外部電極を形成する工程と、

前記工程の後に、前記フィルムキャリアテープを個片のフィルム実装体に打ち抜く工程と、

を含み、

前記各工程は、前記フィルムキャリアテープを送り出すリールと巻き取るリールとの間で行われる。

ここでいう補強部材とは、フィルムキャリアテープの反りを防止する（平坦性を確保する）機能を有するもの全てを含み、例えばスティフナと呼ばれるものを用いることが多い。

本発明によれば、半導体素子の実装工程及び樹脂封止工程のみならず、補強部材の貼り付け工程及び外部電極の形成工程までが、リール・トゥ・リールで連続的に行われる。したがって生産効率が向上し、製造コストを削減することができる。

(2) 本発明では、前記フィルムキャリアテープを打ち抜く工程よりも前に、各半導体素子に放熱部材を接着する工程を含んでもよい。

これによれば、この放熱部材を接着する工程も、フィルムキャリアテープを打ち抜く前に行うので、連続的で効率的な作業が可能である。ここで、放熱部材は、半導体素子の放熱を促進するものであり、半導体素子の発熱量に応じて接着される。

(3) 本発明に係る半導体装置は、上記方法により製造される。

(4) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(5) 本発明に係る電子機器は、上記回路基板を有する。

図面の簡単な説明

図1 A及び図1 Bは、本発明の実施形態に係る半導体装置の製造工程において、ボンディング工程を説明する図であり、図2 A及び図2 Bは、本発明の実施形態に係る半導体装置の製造工程において、モールディング工程を説明する図であり、図3 A及び図3 Bは、本発明の実施形態に係る半導体装置の製造工程において、スティフナの貼り付け工程を説明する図であり、図4 A及び図4 Bは、本発明の実施形態に係る半導体装置の製造工程において、放熱板の貼り付け工程を説明する図であり、図5は、本発明の実施形態に係る半導体装置の製造工程において、バンプの形成工程を説明する図であり、図6 A～図6 Cは、本発明の実施形態に係る半導体装置の製造工程において、バンプの形成工程を説明する図であり、図7は、本発明の実施形態に係る半導体装置の製造工程において、打ち抜き工程を説明する図であり、図8は、実施形態における半導体装置を示す図であり、図9は、本実施形態に係る回路基板を示す図であり、図10は、本発明に係る方法を適用して製造された半導体装置を実装した回路基板を備える電子機器を示す図である。

発明を実施するための最良の形態

以下、本発明の実施形態を、図面を参照して説明する。

図1 A～図7は、本発明の実施形態に係る半導体装置の製造工程を説明する図であり、図8は、本実施形態における完成した半導体装置を示す図である。

図8に示すように、半導体装置10は、BGA型パッケージを適用したものである。すなわち、同図において、半導体装置10は、絶縁フィルム12と、絶縁フィルム12に形成された複数のリード20と、各リード20に設けられたバンプ14と、半導体素子の一例となる半導体チップ16と、を有し、複数のバンプ14によって面実装が可能になっている。バンプ14は外部電極として使用される。

絶縁フィルム 12 は、長尺のフィルムキャリアテープ 30 (図 1 B 参照) をパンチングして得られるもので、製造方法に T A B 工程が適用されている。絶縁フィルム 12 は、半導体チップ 16 よりも大きく形成されている。また、フィルムキャリアテープ 30 に形成されていたデバイスホール 24 が、絶縁フィルム 12 にそのまま残っている。

デバイスホール 24 からは、リード 20 の端部 20 a が突出し、この端部 20 a に半導体チップ 16 の電極 18 が接続される。すなわち、絶縁フィルム 12 におけるリード 20 が形成される面とは反対側面であって、かつ、デバイスホール 24 の内側に電極 18 が位置するように、半導体チップ 16 を配置して、リード 20 の端部 20 a と電極 18 とがボンディングされている。

リード 20 は、半導体チップ 16 の電極 18 とランド 21 (図 1 B 参照) とを接続するようになっている。ランド 21 には、バンプ 14 が設けられている。バンプ 14 は、例えばハンダから形成されて上部はボール状に形成されている。また、ハンダ以外に例えば銅等が使用されてもよい。

さらに、絶縁フィルム 12 のリード 20 を有する面には、バンプ 14 を避けてソルダレジスト 22 が塗布されている。ソルダレジスト 22 は、特にリード 20 の表面を覆って保護するようになっている。

バンプ 14 とは反対側で絶縁フィルム 12 には、プレート状のスティフナ 28 が設けられる。スティフナ 28 は、銅やステンレス鋼や銅系合金等で形成されて平面形状を維持できる強度を有し、絶縁フィルム 12 上に絶縁接着剤 29 を介して貼り付けられる。なお、絶縁接着剤 29 は、熱硬化性又は熱可塑性のフィルムとして形成されている。また、スティフナ 28 は、半導体チップ 16 を避けて、絶縁フィルム 12 の全体に貼り付けられる。こうすることで、絶縁フィルム 12 の歪み、うねりがなくなり、バンプ 14 の高さが一定になって平面安定性が向上し、回路基板への実装歩留りが向上する。

さらに、半導体チップ 16 の実装面とは反対側の面には、銀ペースト等の熱伝導接着剤 25 を介して放熱板 27 が接着されている。これによって、半導体チップ 16 の放熱性を上げることができる。熱伝導接着剤 25 は、半導体チップ 16

の発熱量によっては通常の絶縁接着剤もしくは上述の絶縁フィルムで代用してもよい。放熱板 27 は、半導体チップ 16 よりも大きく形成されており、スティフナ 28 にも接着されるようになっている。なお、スティフナ 28 と放熱板 27 との間にも、熱伝導接着剤 25 が存在して両者が接着されている。

半導体チップ 16 と絶縁フィルム 12 との間は、エポキシ樹脂 26 のポッティングによって封止されている。エポキシ樹脂 26 は、半導体チップ 16 の電極 18 を有する面を覆うのみならず、デバイスホール 24 及び半導体チップ 16 の外周にも回り込む。

本実施形態に係る半導体装置は、上述したように構成されており、以下その製造方法について説明する。

まず、図 1 A に示すように、フィルムキャリアテープ 30 に半導体チップ 16 を実装する。フィルムキャリアテープ 30 の拡大図を図 1 B に示す。なお、図 1 B は、図 1 A に示すフィルムキャリアテープ 30 を上から見た図である。

フィルムキャリアテープ 30 はポリイミド樹脂等で形成されている。フィルムキャリアテープ 30 には、複数（図 1 B においては一つ）のデバイスホール 24 が形成されるとともに、各デバイスホール 24 の外側に複数のリード 20 及び複数のランド 21 が形成されている。また、ランド 21 を避けて、リード 20 を有する面にソルダレジスト 22（図 8 参照）が塗布されている。なお、図 1 B において、一部のリード 20 及びランド 21 のみを示し、その他を省略してある。

ランド 21 は、リード 20 におけるデバイスホール 24 から離れる方向に延びる部位を介して、メッキリード 32 に接続されている。メッキリード 32 には、図に示されないものを含み全てのリード 20 が接続されている。そして、メッキリード 32 を使用して、リード 20 及びランド 21 には、全て電気メッキが施されている。あるいは、無電解メッキ法を用いることで、リード 20 及びランド 21 にメッキを施しても良い。この場合には、メッキリード 32 は不要となる。

このようなフィルムキャリアテープ 30 は、図 1 A に示すように、リール 33 に巻き取られてあり、端部が引き出されて他のリール 34 にて巻き取るようになっている。そして、リール 33、34 の間で、ボンディング治具 31 によって、

半導体チップ 16 がフィルムキャリアテープ 30 にボンディングされる。このボンディングとして、シングルポイントボンディング方式及びギャングボンディング方式のいずれを採用してもよい。後者によれば、各半導体チップ 16 について、全てのリード 20 の端部 20 a と電極 18 とを一括でボンディングすることができる。

また、半導体チップ 16 は、図 8 に示すように、絶縁フィルム 12 におけるリード 20 の形成面とは反対側面から突出するように位置している。

こうして、フィルムキャリアテープ 30 に、複数の半導体チップ 16 が連続的に実装されると、複数の半導体チップ 16 を巻き込んだ状態でフィルムキャリアテープ 30 がリール 34 に巻き取られる。

次に、図 2 A に示すように、リール 34 に巻き取られたフィルムキャリアテープ 30 を、別の製造装置にセットする。そして、リール 34、35 の間にフィルムキャリアテープ 30 を掛け渡して、エポキシ樹脂 26 をポッティングする。図 2 B は、エポキシ樹脂 26 がポッティングされたフィルムキャリアテープ 30 を示す図であって、図 2 A のフィルムキャリアテープ 30 を上から見た図である。

図 2 B に示すように、エポキシ樹脂 26 は、フィルムキャリアテープ 30 におけるリード 20 の形成面に、半導体チップ 16 を覆うように設けられる。しかも、エポキシ樹脂 26 は、図 8 に示すように、半導体チップ 16 の外周にも回り込み、フィルムキャリアテープ 30 のデバイスホール 24 と、半導体チップ 16 との隙間を埋める。

次に、図 3 A 及び図 3 B に示すように、リール 35 に巻き取られたフィルムキャリアテープ 30 を、別の製造装置にセットする。そして、リール 35、36 の間にフィルムキャリアテープ 30 を掛け渡して、スティフナ 28 を貼り付ける。なお、図 3 B は、図 3 A に示すフィルムキャリアテープ 30 を上から見た図である。

詳しくは、フィルムキャリアテープ 30 における半導体チップ 16 が突出する面に、スティフナ 28 を貼り付ける。この面は、図 8 に示すように、リード 20 及びランド 21 を有する面とは反対側の面である。スティフナ 28 には、半導体

チップ16の外形よりも大きいデバイスホール42が形成されており、デバイスホール42内に半導体チップ16を配置させて、このスティフナ28が貼り付けられる。各半導体チップ16に対応して、個片のスティフナ28が貼り付けられる。

フィルムキャリアテープ30とスティフナ28との接着は、図8に示す絶縁接着剤29によって行われる。絶縁接着剤29は、熱硬化性又は熱可塑性のフィルムとして形成し、予めスティフナ28に貼り付けておいてもよい。そうすれば、スティフナ28を、フィルムキャリアテープ30における半導体チップ16が突出する面に熱圧着することができる。

次に、図4A及び図4Bに示すように、リール36に巻き取られたフィルムキャリアテープ30を、別の製造装置にセットする。そして、リール36、37の間にフィルムキャリアテープ30を掛け渡して、各半導体チップ16に対応して個片の放熱板27を貼り付ける。詳しくは、図8に示すように、半導体チップ16における電極18とは反対側の面から、スティフナ28に至るまで、放熱板27を接着する。この接着には、熱伝導接着剤25が使用される。なお、熱伝導性接着剤25は、ペースト状のものに限らずテープ状のものであってもよい。テープ状の熱伝導性接着剤25を使用する場合には、これを予め放熱板27に貼り付けておいてもよい。放熱板27は、図8に示すように、スティフナ28と同じ大きさの外形となるように形成してもよく、スティフナ28の外形とは異なる形状にしてもよい。なお、放熱板27は、半導体チップ16の発熱量に応じて必要である場合に貼り付けられるので、発熱量が少ないときには省略してもよい。

そして、必要であれば、放熱板27に製品名などをマーキングする。放熱板27を省略するときには、スティフナ28にマーキングする。

次に、図5に示すように、リール37に巻き取られたフィルムキャリアテープ30を、別の製造装置にセットする。そして、リール37、38の間にフィルムキャリアテープ30を掛け渡して、各半導体チップ16に対応して、バンプ14を形成する。図6A～図6Cは、バンプ14の形成工程を示す図である。

図6Aに示すように、フィルムキャリアテープ30におけるランド21（図1

B参照)を有する面に、メタルマスク50を配置し、メタルマスク50の開口50aをランド21上に位置させる。そして、メタルマスク50上に、クリームハンダ52をのせて、これをスキージ54でメタルマスク50の開口50aに充填する。続いて、図6Bに示すように、各開口50aに充填されたクリームハンダ52にレーザ光を照射して熔融させ、表面張力によりボール状にしてからこれを冷却する。こうして、図6Cに示すように、全ての開口50aに充填されたクリームハンダ52をボール状にして、図8に示すバンプ14が形成される。

そして、リール38にてフィルムキャリアテープ30が巻き取られると、図7に示すように、これを更に別の製造装置にセットする。そして、リール38、39の間にフィルムキャリアテープ30を掛け渡して、個片の絶縁フィルム12に打ち抜く。なお、この工程の前に洗浄を行ってもよい。こうして、図8に示す半導体装置10が得られる。

以上の工程により得られた半導体装置10によれば、一連の工程がリール・トゥ・リールで行われるので、生産効率が向上して大量生産が可能となるとともに、製造コストを削減することができる。

そして、各絶縁フィルム12について、例えば実装状態の外観検査や電気的特性の検査などの検査を行って完成品となる。

本発明は、上記実施形態に限定されず、種々の変形が可能である。例えば、上記実施形態では、各工程ごとにフィルムキャリアテープ30を巻き取っていたが、全ての又は複数の工程を同時に連続して行っても良い。例えば、図3に示す工程において、リール35、36間で、スティフナ28の貼り付け工程に連続して、図4に示す放熱板27の貼り付け工程を行っても良い。あるいは、スティフナ28及び放熱板27を一体的にした形状の補強部材をフィルムキャリアテープ30に貼り付けても良い。

また、図8に示すように、半導体チップ16がバンプ14形成面とは反対側に実装された裏TAB型のみならず、バンプ14形成面側に半導体チップ16を実装した表TAB型にも本発明を適用することができる。また、上記絶縁フィルム12の代わりに、リード20に突起が一体形成されたいわゆるB-TAB型の絶

縁フィルムを用いても良い。あるいは、バンプ無しのフィルムキャリアテープを使用して、シングルポイントボンディングを行っても良い。

図 9 には、本発明を適用した半導体装置 1 1 0 0 を実装した回路基板 1 0 0 0 が示されている。回路基板には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板には例えば銅からなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置のバンプとを機械的に接続することでそれらの電氣的導通を図る。

そして、この回路基板 1 0 0 0 を備える電子機器として、図 1 0 には、ノート型パーソナルコンピュータ 1 2 0 0 が示されている。

なお、上記本発明を応用して、半導体装置と同様に多数のバンプを必要とする面実装用の電子部品（能動部品か受動部品かを問わない）を製造することもできる。電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

請求の範囲

1. フィルムキャリアテープに複数の半導体素子を実装する工程と、
前記フィルムキャリアテープに実装された各半導体素子を樹脂で封止する工程と、
各半導体素子に対応して、前記フィルムキャリアテープに個片の補強部材を貼り付ける工程と、
各半導体素子に対応して、前記フィルムキャリアテープに複数の外部電極を形成する工程と、
前記工程の後に、前記フィルムキャリアテープを個片のフィルム実装体に打ち抜く工程と、
を含み、
前記各工程は、前記フィルムキャリアテープを送り出すリールと巻き取るリールとの間で行われる半導体装置の製造方法。
2. 請求項 1 記載の半導体装置の製造方法において、
前記フィルムキャリアテープを打ち抜く工程よりも前に、各半導体素子に放熱部材を接着する工程を含む半導体装置の製造方法。
3. 請求項 1 又は請求項 2 のいずれかに記載の方法により製造された半導体装置。
4. 請求項 3 記載の半導体装置が実装された回路基板。
5. 請求項 4 記載の回路基板を有する電子機器。

1/8

FIG. 1A

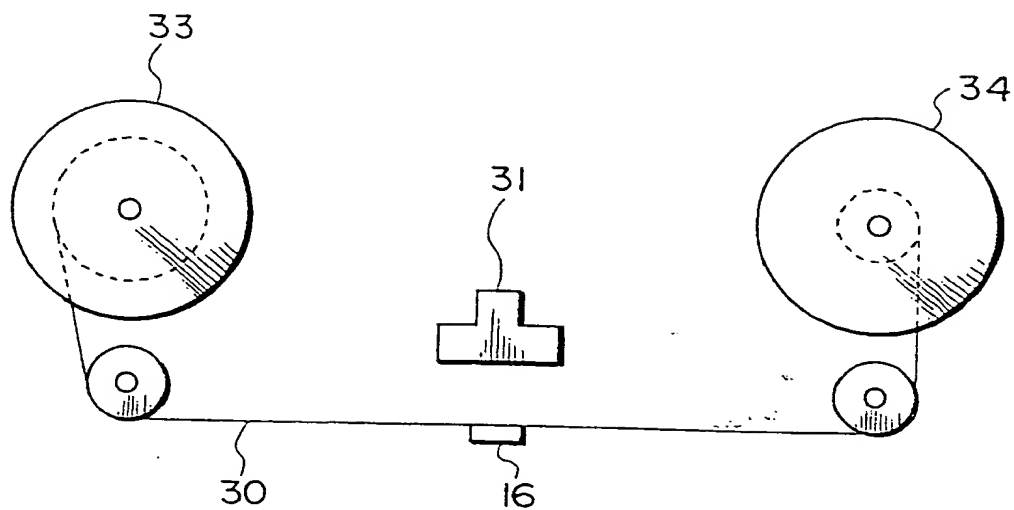


FIG. 1B

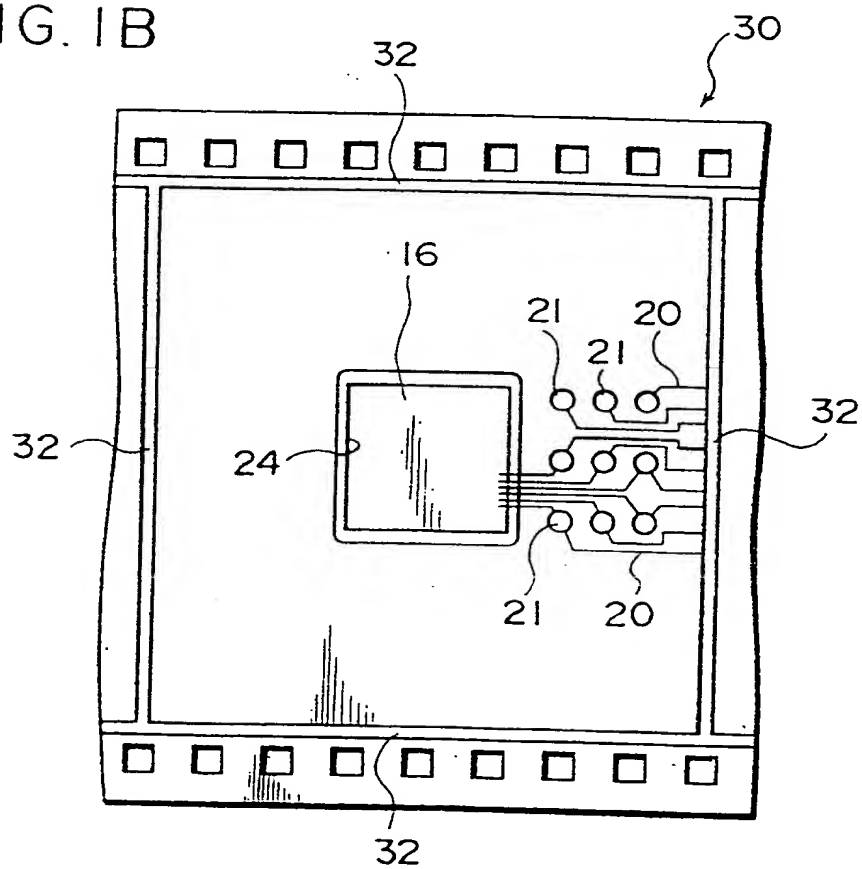


FIG. 2A

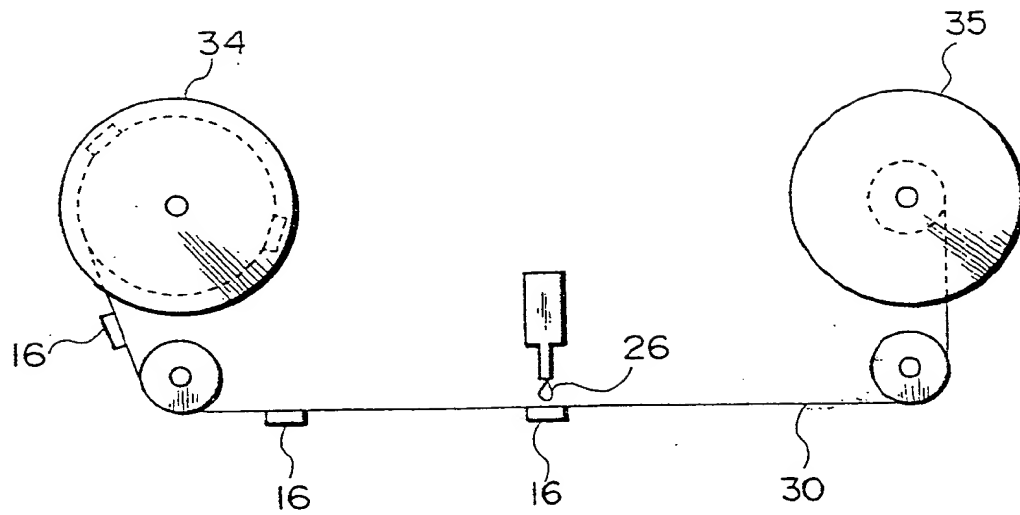


FIG. 2B

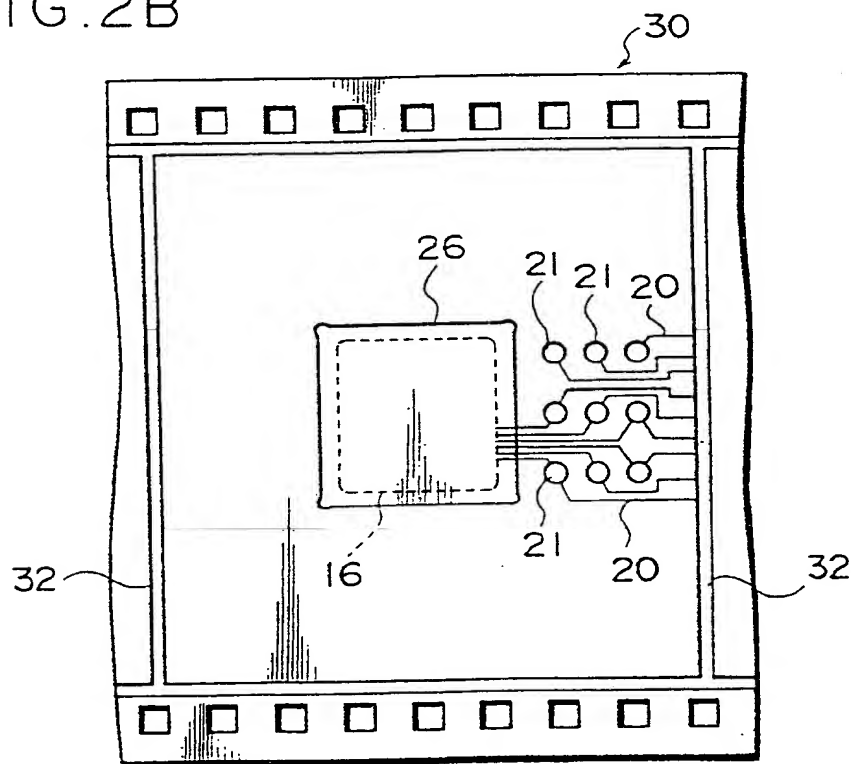


FIG. 3A

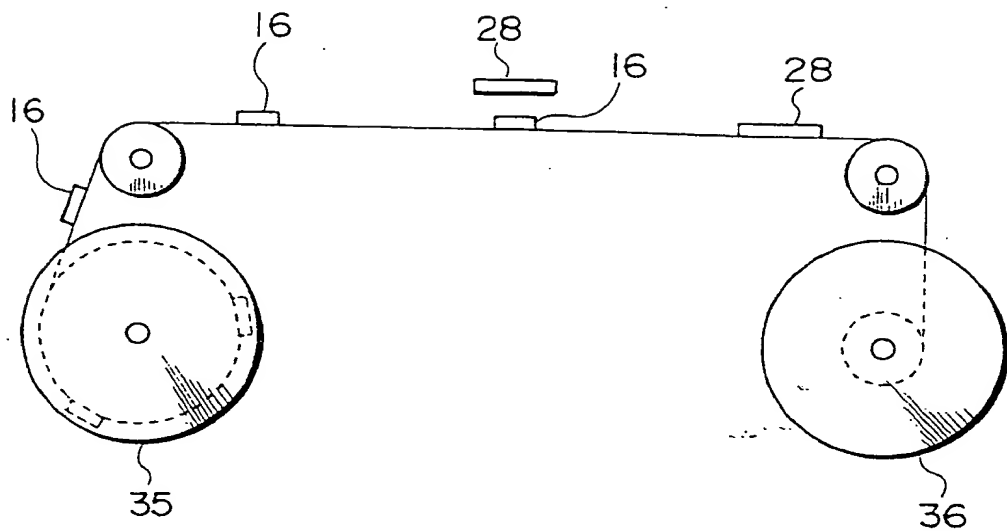


FIG. 3B

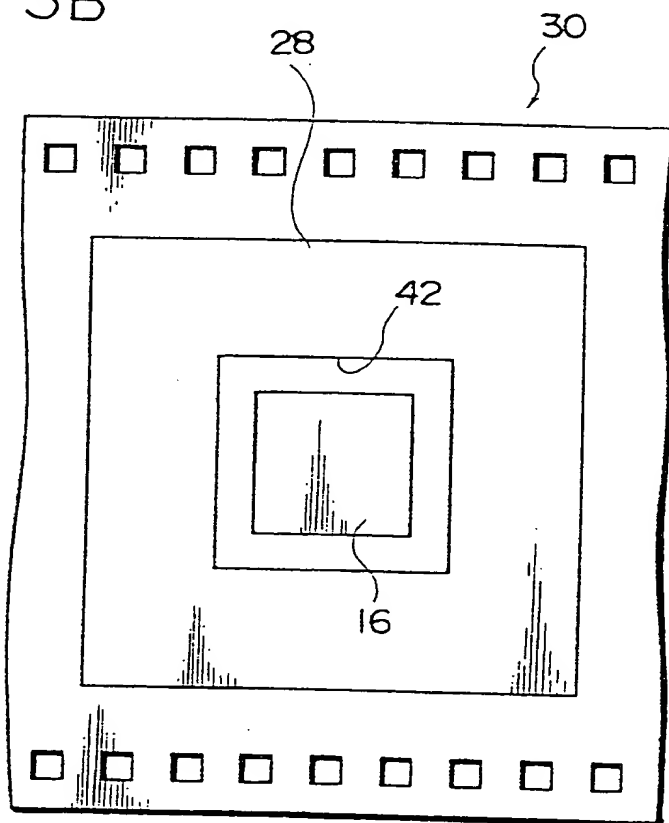


FIG. 4A

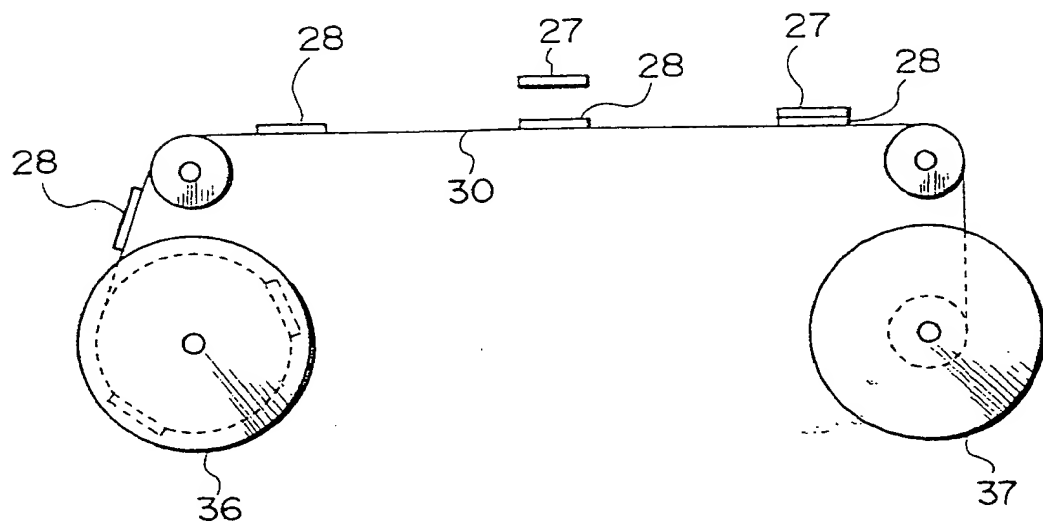


FIG. 4B

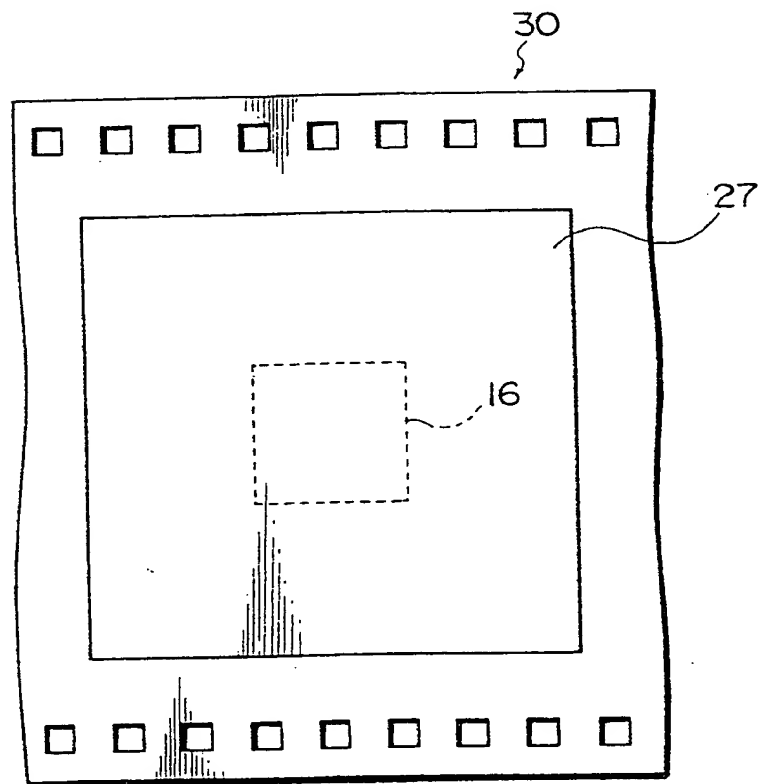


FIG. 5

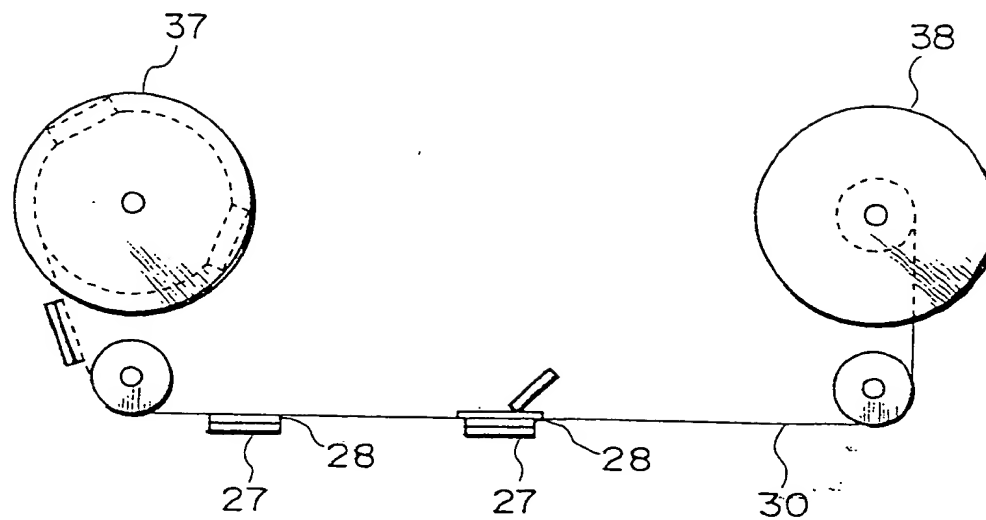


FIG. 6A

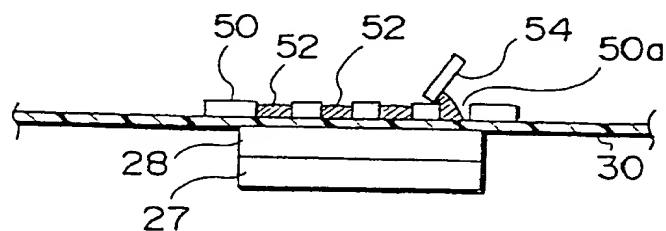


FIG. 6B

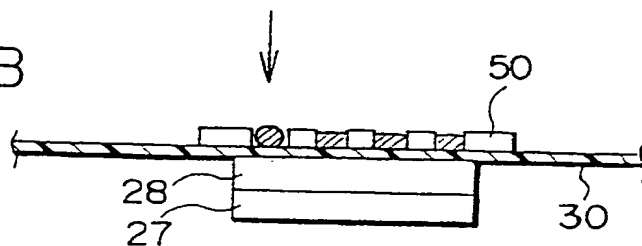


FIG. 6C

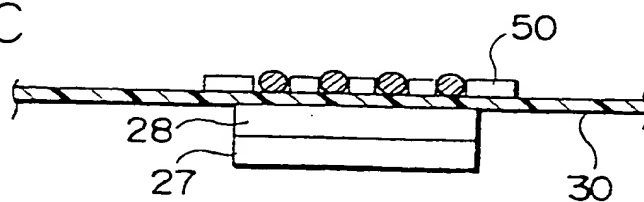


FIG. 7

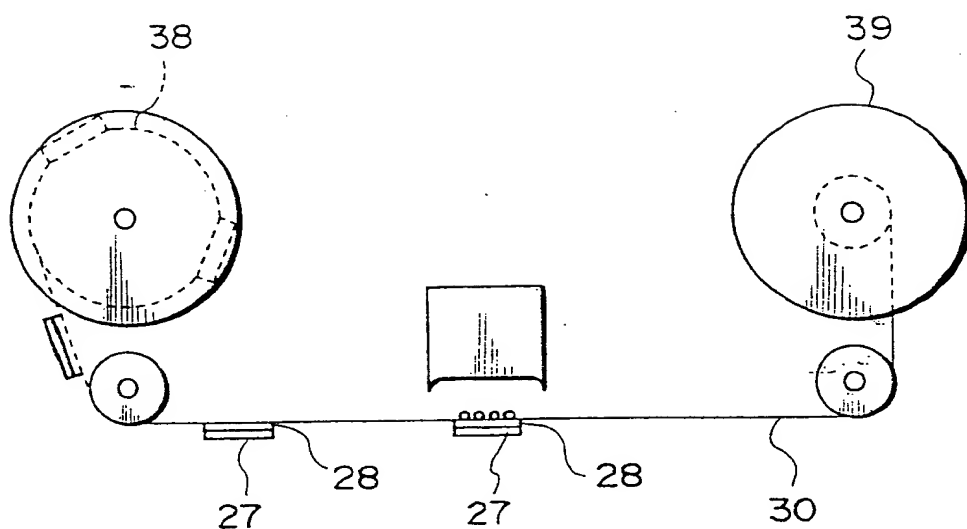


FIG. 8

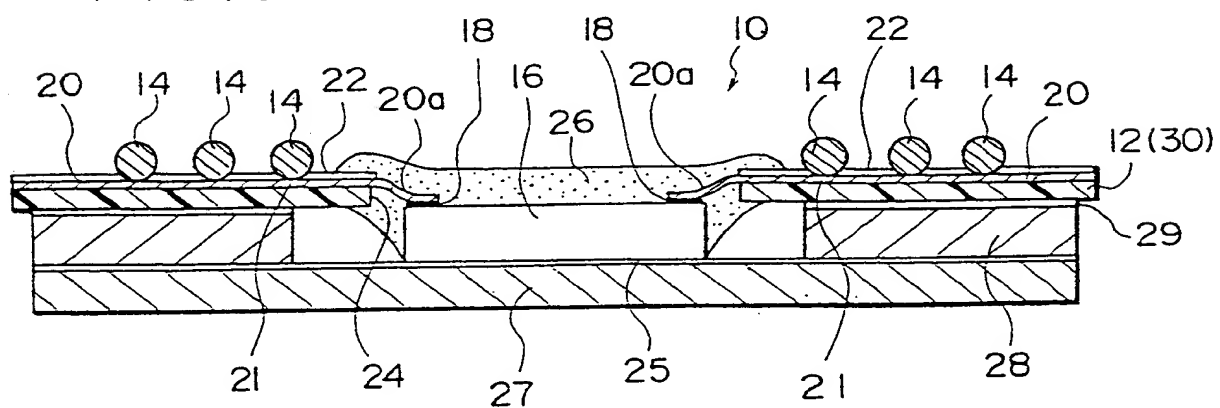


FIG. 9

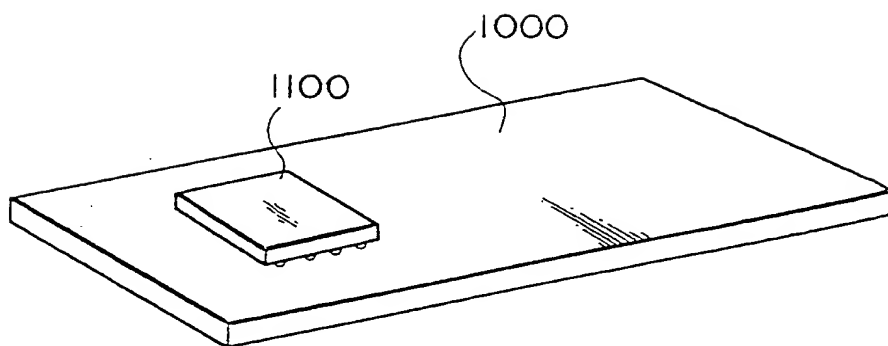
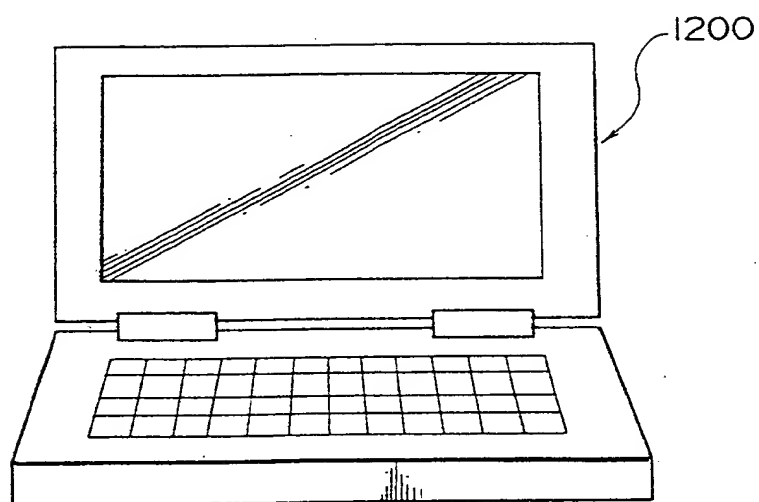


FIG. 10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00017

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Kokai Jitsuyo Shinan Koho 1971-1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages.	Relevant to claim No.
A	JP, 2-12848, A (NEC Corp.), 17 January, 1990 (17. 01. 90) (Family: none)	1-5
A	JP, 3-215953, A (Toshiba Corp.), 20 September, 1991 (20. 09. 91) (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
11 March, 1999 (11. 03. 99)

Date of mailing of the international search report
23 March, 1999 (23. 03. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 99/00017

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H01L21/60

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国公開実用新案公報

1971-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 2-12848, A (日本電気株式会社) 17. 1月. 1990 (17. 01. 90), (ファミリーなし)	1-5
A	J P, 3-215953, A (株式会社東芝) 20. 9月. 1991 (20. 09. 91), (ファミリーなし)	1-5

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

11. 03. 99

国際調査報告の発送日

23.03.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川真田 秀男

印

4E

7220

電話番号 03-3581-1101 内線 3426